

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 55-034537

(43)Date of publication of application : 11.03.1980

(51)Int.Cl.

H03K 13/05

(21)Application number : 53-106676

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.08.1978

(72)Inventor : OHATA MICHINOBU
MATSUMURA TOSHIHIKO
TSUDA TOSHITAKA
ISHIKAWA TAMOTSU

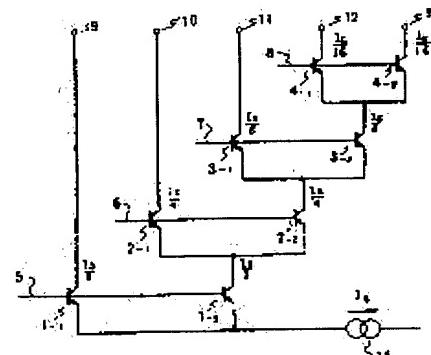
(54) CASCADE TYPE CURRENT DIVISION CIRCUIT

(57)Abstract:

PURPOSE: To reduce the trouble for adjustment of the current division circuit by securing the cascade type current division transistor or the transistor pair.

CONSTITUTION: The properties of each transistor (such as the VBE pair IC properties, β properties, emitter area, etc.) are matched with every pair. And current division transistor pairs (1-1, 1-2), (2-1, 2-2), (3-1, 3-2)... featuring the optional current division ratio determined by the emitter area ratio are given the cascade connection.

The basement part of the cascade connection is connected to constant current source 14, and at the same time the bias voltage is applied to each transistor pair via common base bias current sources 5~8 corresponding to each transistor pair. Thus the output current ratio of each of output terminals 9~12 and 13 features IS/2:IS/4:IS/8:IS/16:IS/16 in case the constant current flowing to source 14 is defined as IS. Then the weighting is given to the binary 4 bits to make transistor pairs conduct, and as a result the current division becomes possible without giving matching to all transistor properties.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭55-34537

⑩ Int. Cl.³
H 03 K 13/05識別記号
102府内整理番号
7125-5 J

⑬ 公開 昭和55年(1980)3月11日

発明の数 1
審査請求 未請求

(全 4 頁)

④ 縱続形電流分割回路

② 特願 昭53-106676

② 出願 昭53(1978)8月31日

⑦ 発明者 大畠道信
川崎市中原区上小田中1015番地
富士通株式会社内⑦ 発明者 松村俊彦
川崎市中原区上小田中1015番地
富士通株式会社内

⑦ 発明者 津田俊隆

川崎市中原区上小田中1015番地
富士通株式会社内

⑦ 発明者 石川保

川崎市中原区上小田中1015番地
富士通株式会社内

⑦ 出願人 富士通株式会社

川崎市中原区上小田中1015番地
富士通株式会社

⑦ 代理人 弁理士 玉虫久五郎 外3名

明細書

1. 発明の名称 縱続形電流分割回路

2. 特許請求の範囲

1 複数の電流分割用トランジスタからなり該複数のトランジスタのエミッタ面積比で定まる任意の電流分割比を有する電流分割回路を複数個具え、各電流分割回路の任意の一の電流出力を順次下位の電流分割回路でさらに分割するよう継続に接続してなることを特徴とする縩続形電流分割回路。

2 前記電流分割用トランジスタがそのエミッタ回路に直列に抵抗を有することを特徴とする特許請求の範囲第1項記載の縩続形電流分割回路。

3. 発明の詳細な説明

本発明は広い範囲の分割比にわたって高精度で電流を分割できる縩続形電流分割回路に関するものである。

電流分割回路は電源から供給される電流を一定の比率に分割するものであって、ディジタル・アナログ変換器、アナログ・ディジタル変換器その

他において広く用いられているものであって、既に多くの形式のものが知られている。

第1図は一般化した電流分割回路を示したものである。第1図において I_1, I_2, \dots, I_n は分割される電流を示し、一般に電流 I_1, I_2, \dots, I_n の比は2進重みづけまたは等分割に選ばれる。

電流分割回路として従来用いられているものの数例を第2図ないし第5図に示す。第2図は抵抗比による電流分割回路の一構成例を示す回路図である。同図において $T_{r1}, T_{r2}, T_{r3}, \dots, T_{rn}$ は分割用トランジスタ、 $R_1, R_2, R_3, \dots, R_n$ はそれぞれ一端を対応する分割用トランジスタのエミッタに接続された分割用抵抗、 $I_1, I_2, I_3, \dots, I_n$ はそれぞれ対応する分割用トランジスタのコレクタに流入する所定の比に分割された電流、 V_{ref} は各分割用トランジスタの共通のベースバイアスである。今、分割用抵抗の他端に共通に一定電圧 V を与えると、分割用抵抗 $R_1, R_2, R_3, \dots, R_n$ の比を、出力電流 $I_1, I_2, I_3, \dots, I_n$ の所望の比に等しく重みづけすることによって所要の電流分割を行う

ことができる。この場合、各出力電流の絶対値は、ベースバイアス V_{ref} と各分割用抵抗との絶対値によって定められる。

第3図および第4図はそれぞれエミッタ面積比による電流分割回路の一構成例を示す回路図である。両図において $Tr_1, Tr_2, Tr_3, \dots, Tr_n$ は分割用トランジスタであって、それぞれ所要の電流分割比に等しいエミッタ面積比を与えられている。 $I_1, I_2, I_3, \dots, I_n$ はそれぞれ対応する分割用トランジスタのコレクタに流入する所定の比に分割された電流。 V_{ref} は共通のベースバイアスである。各分割用トランジスタのエミッタ端子は共通に接続されて、第3図の場合は一定電圧源 V に、第4図の場合は一定電流源 I_{BB} に接続されている。この状態では各分割用トランジスタのエミッタにおける電流密度が等しく与えられ、従って各トランジスタのエミッタ電流の比はそのエミッタ面積比によって定まり、出力電流 $I_1, I_2, I_3, \dots, I_n$ は所要の $\frac{I_1}{I_2} : \frac{I_2}{I_3} : \dots : \frac{I_n}{I_1}$ の比で分割される。

第5図はトランジスタの数による電流分割回路

特開昭55-34537 (2) の一構成例を示す回路図である。第5図において $Tr_{1-1}, Tr_{2-1}, Tr_{2-2}, Tr_{3-1}, Tr_{3-2}, Tr_{3-3}, Tr_{3-4}, \dots$ は電流分割用トランジスタであって、それぞれ等しいエミッタ面積を与えられている。これらの各トランジスタには等しいエミッタ電流密度が与えられ、従って各トランジスタは等しい電流を導通する。従ってトランジスタ Tr_1 のコレクタ電流を I_1 、トランジスタ Tr_{2-1}, Tr_{2-2} のコレクタ電流を合せて I_2 、トランジスタ $Tr_{3-1}, Tr_{3-2}, Tr_{3-3}, Tr_{3-4}$ のコレクタ電流を合せて I_3 としたとき電流 I_1, I_2, I_3 の比はそれぞれに属するトランジスタの数によって定まる。第5図に示された方法はモノリシック構成の場合にもディスクリート構成の場合にも等しく適用できる。

このような従来方式の電流分割回路によった場合は、抵抗による電流分割回路では分割用抵抗として極めて高精度のものが必要であり、エミッタの面積、数による電流分割回路では分割数、分割重みづけに応じた数のトランジスタの特性（ベース-エミッタ電圧 V_{BE} 対コレクタ電流 I_C 特性、電

流増幅率 β 特性、エミッタ面積等）のマッチングが必要であり、このマッチング精度が直接、電流分割精度を左右することになる。特に広範囲な高精度電流分割を行う場合、個別部品で構成する場合はその部品選定が困難になり、またモノリシック IC で実現する場合は広い面積にわたってトランジスタ特性を一致させなければならず、チップの歩留りを低下させる等の欠点があった。

本発明は、このような従来技術の欠点を除去する新規な発明であり、その目的は容易に広範囲にわたって高精度を実現できる継続形電流分割回路を提供することにある。この目的を達成するため、本発明の継続形電流分割回路においては、電流分割用トランジスタまたはトランジスタ対を継続形式に接続することによって調整の手間を大幅に減少したことを特徴とするものである。

以下、実施例について詳細に説明する。

第6図は、本発明の継続形電流分割回路の一実施例の構成を示す回路図である。第6図において $(1-1, 1-2), (2-1, 2-2), (3-1, 3-2), (4-1, 4-2)$

はそれぞれ対をなす電流分割用トランジスタであって、各トランジスタの特性 (V_{BB} 対 I_0 特性、 β 特性、エミッタ面積等) のマッチングは各対をなすトランジスタの間で等しく取られており、対相互の間では要求されない。各電流分割トランジスタ対は継続に接続され、その基底部は定電流源 14 に接続されるとともに、各トランジスタ対ごとにそれぞれ対応する共通のベースバイアス電源 5, 6, 7 および 8 によってバイアス電圧を与えていている。また、9, 10, 11, 12 および 13 は出力端子である。

前述のように各トランジスタ対はその特性のマッチングが取られている。従って、各出力端子 9, 10, 11, 12 および 13 の出力電流の比は、定電流源 14 に流れる一定電流を I_0 としたとき、 $\frac{I_0}{2} : \frac{I_0}{4} : \frac{I_0}{8} : \frac{I_0}{16} : \frac{I_0}{16}$ となることは明らかである。すなわち、第6図の回路は、出力端子 12, 11, 10 および 9 の出力電流について 2 進 4 ビットの重みづけがなされており、従ってベースバイアス電源 5, 6, 7 および 8 を適当に与えて各トランジスタ対を導

通状態にすることによって電流分割の目的が達成される。

第7図は、本発明の電流分割回路の他の実施例の構成を示す回路図である。第7図において、(21-1, 21-2, 21-3), (22-1, 22-2), (23-1, 23-2)はそれぞれ対をなす電流分割用トランジスタであって、各トランジスタの特性はトランジスタ対21-1, 21-2, 21-3においては2:1:1に、その他のトランジスタ対においては1:1に選ばれている。1:1をなすトランジスタ対は紙面に接続され、トランジスタ21-1を含めた基底部に定電流源32が接続されるとともに、各トランジスタ対とともにそれに対応する共通のベースバイアス電源24, 25, 26によってバイアス電圧を与えられている。27, 28, 29, 30および31は出力端子である。

各トランジスタ対はその特性のマッチングが取られているから、各出力端子27, 28, 29, 30および31の出力電流の比は、定電流源32に流れる一定電流を I_B としたとき $\frac{I_B}{2} : \frac{I_B}{4} : \frac{I_B}{8} : \frac{I_B}{16} : \frac{I_B}{16}$ となることは明かであり、第7図の図は第6図の回路と

マッチングを要求されるトランジスタ群の面積が縮小される結果、長期間の動作によるチップ内温度勾配等に基づくトランジスタミスマッチによって生じる程度の劣化も少い。

なお上述の電流分割回路における各電流分割用トランジスタは、そのエミッタ回路に適当な抵抗を直列に接続してトランジスタの V_{BE} のマッチング補償その他の目的を達することができ、さらに高性能化を図ることも可能である。

以上説明したように、本発明の継続形電流分割回路によれば、少い数の電流分割用トランジスタを用いて、電流分割回路を構成することができ、かつ各トランジスタのマッチングは対を構成するトランジスタの間においてのみ考慮すれば足り、また使用部品の選定に困難を感じることもなく容易に広範囲かつ高精度の電流分割回路を実現できるだけでなく、その構造も簡単であって、経済的にも有利である等多くの点で優れた効果が得られる。

特開昭55-34537 (3)

同様に、出力端子30, 29, 28および27の出力電流について2進4ビットの重みづけがなされている。従ってベースバイアス電源24, 25, 26を適当に与えて各トランジスタ対を導通状態にすることによって電流分割の目的が達成される。本実施例は第6図の回路と比べて所要トランジスタ数が少くてすむ利点がある。

また、さらに分割数が多い場合、すなわち高ビット数の重みづけを必要とする場合も、継続に接続される、対をなす電流分割用トランジスタの数を増加することによって対応でき、この場合においても電流分割用トランジスタに対してマッチングが要求されるのは、それぞれ対をなすトランジスタ相互の間だけであって、それ以外は要求されない。従って本発明の継続形電流分割回路によれば、個別部品構成の場合におけるごとく、部品選定に困難を生じたり、またはモノリシックIC構成の場合において、製造上の歩留りを著しく低下させる等の問題を生じることはない。

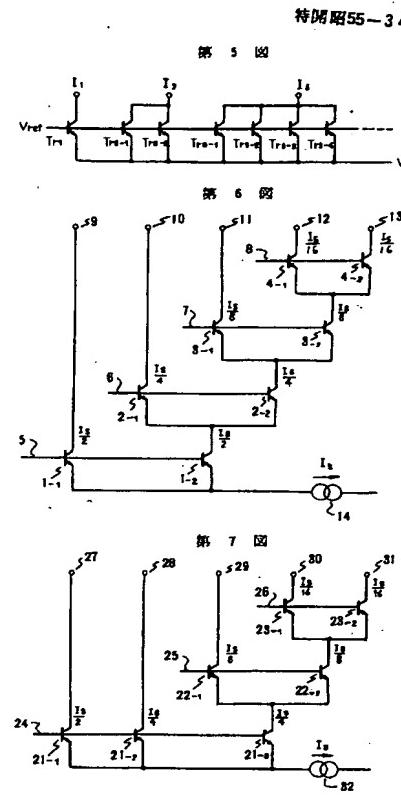
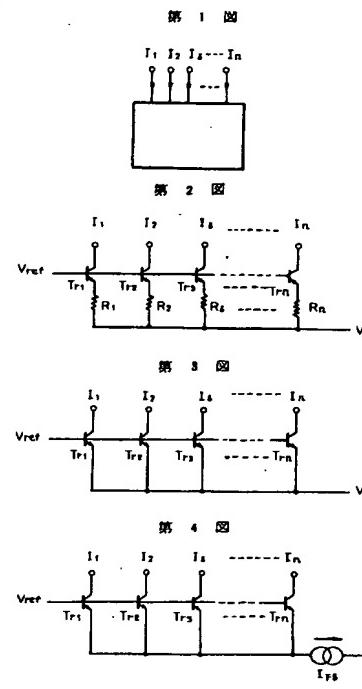
さらに、モノリシックIC化された場合、マッ

4. 図面の簡単な説明

第1図は一般化した電流分割回路を示す図、第2図ないし第5図はそれぞれ従来の電流分割回路の一構成例を示す回路図、第6図および第7図はそれぞれ本発明の継続形電流分割回路の一実施例の構成を示す回路図である。

1-1, 1-2, 2-1, 2-2, 3-1, 3-2, 4-1, 4-2, 21-1, 21-2, 21-3, 22-1, 22-2, 23-1, 23-2 … 電流分割用トランジスタ、5, 6, 7, 8, 24, 25, 26 … バイアス電源、9, 10, 11, 27, 28, 29, 30, 31 … 出力端子、14, 32 … 定電流源

特許出願人 富士通株式会社
代理人弁理士玉蟲久五郎
(外3名)



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADING TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.